



#3
C
5.3.2

XA-9632
PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the application of:

Motoki KANAMORI et al.

Appln. No.: 10/082,310 Group Art Unit: 2818

Filed: February 26, 2002

For: NON-VOLATILE MEMORY DEVICE AND DATA STORING METHOD

* * *

CLAIM OF PRIORITY UNDER 35 U.S.C. § 119

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

Applicants hereby claim the priority of Japanese Patent Application No. 2001-276000 filed September 12, 2001, and submit herewith a certified copy of said application.

RECEIVED
APR - 8 2002
TECHNOLOGY CENTER 2800

Respectfully submitted,

By: 
Mitchell W. Shapiro
Reg. No. 31,568

MWS:jab

Miles & Stockbridge P.C.
1751 Pinnacle Drive
Suite 500
McLean, VA 22102-3833
Tel: (703) 610-8652

April 5, 2002



日本特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日
Date of Application:

2001年 9月12日

出願番号
Application Number:

特願2001-276000

[ST.10/C]:

[JP2001-276000]

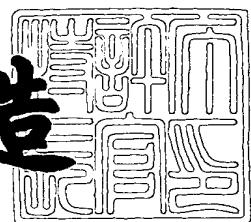
出願人
Applicant(s):

株式会社日立製作所
株式会社日立超エル・エス・アイ・システムズ

2002年 3月12日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2002-3015755

【書類名】 特許願
【整理番号】 H01011961
【あて先】 特許庁長官殿
【国際特許分類】 G06F 15/06
【発明者】
【住所又は居所】 東京都小平市上水本町五丁目20番1号 株式会社日立
製作所 半導体グループ内
【氏名】 金森 賢樹
【発明者】
【住所又は居所】 東京都小平市上水本町五丁目20番1号 株式会社日立
製作所 半導体グループ内
【氏名】 田村 隆之
【発明者】
【住所又は居所】 東京都小平市上水本町五丁目20番1号 株式会社日立
製作所 半導体グループ内
【氏名】 小堺 健司
【発明者】
【住所又は居所】 東京都小平市上水本町五丁目20番1号 株式会社日立
製作所 半導体グループ内
【氏名】 四方 淳史
【発明者】
【住所又は居所】 東京都小平市上水本町5丁目22番1号 株式会社 日立超エル・エス・アイ・システムズ内
【氏名】 浅利 信介
【特許出願人】
【識別番号】 000005108
【氏名又は名称】 株式会社 日立製作所
【特許出願人】
【識別番号】 000233169

【氏名又は名称】 株式会社 日立超エル・エス・アイ・システムズ

【代理人】

【識別番号】 100085811

【弁理士】

【氏名又は名称】 大日方 富雄

【電話番号】 03-3269-1430

【手数料の表示】

【予納台帳番号】 027177

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性記憶装置およびデータ格納方法

【特許請求の範囲】

【請求項1】 コントローラとバッファメモリと不揮発性メモリとを有し、

上記コントローラは外部からの制御情報に応じて、外部から入力された第1データをバッファメモリの第1領域に格納した後、格納したデータをさらに上記不揮発性メモリの指定した領域に格納動作制御し、上記不揮発性メモリへの格納動作制御と並行して外部から入力される第2データを上記バッファメモリの第1領域に格納可能であることを特徴とする不揮発性記憶装置。

【請求項2】 コントローラと揮発性メモリと不揮発性メモリとを有し、

上記コントローラは外部からの制御情報に応じて、外部から入力されるデータを上記揮発性メモリに格納した後、格納したデータを上記不揮発性メモリに格納制御し、

上記不揮発性メモリは複数のワード線とそれぞれのワード線に接続される複数の不揮発性メモリセルとデータラッチとを有し、不揮発性メモリへのデータの格納は1のワード線を選択し選択されたワード線に接続される不揮発性メモリセルに一括して行われ、上記データラッチは選択されたワード線に接続される不揮発性メモリに一括してデータを格納するのに必要なビット幅のデータをラッチ可能であり、

上記揮発性メモリは第1領域と第2領域に分割され、上記第1領域は上記コントローラが行う処理において利用される領域であり、上記第2領域は上記外部から入力されるデータを格納するために用いられる領域であり、

上記コントローラは外部から入力されたデータを上記揮発性メモリの第2領域に格納し、上記第2領域に格納された領域を先頭から順次上記データラッチに転送し不揮発性メモリへのデータの格納を指示し、上記入力されたデータが上記揮発性メモリの第2領域全体に格納された場合、上記第2領域の先頭から上記データラッチに転送完了した領域に格納することを特徴とする不揮発性記憶装置。

【請求項3】 コントローラと揮発性メモリと不揮発性メモリとを有し、

上記不揮発性メモリは第1データ長を単位としてデータの格納が行われ、

上記コントローラは、

- (1) 外部からデータを受信し、
- (2) 上記受信したデータを上記揮発性メモリに格納し、
- (3) 上記揮発性メモリに格納したデータの内、データの格納を指示する信号と共に第1データ長のデータを上記不揮発性メモリに転送し、
- (4) 上記揮発性メモリに格納完了したデータに続くデータを外部から受信し、上記揮発性メモリに格納し、上記揮発性メモリのデータを格納するための領域全てに外部から受信したデータを格納した場合、上記不揮発性メモリに転送完了したデータを格納していた領域に外部から受信したデータを格納し、
- (5) 上記不揮発性メモリでのデータの格納が完了した後、上記第3ステップと第4ステップを繰り返すことを特徴とする不揮発性記憶装置のデータ格納方法。

【請求項4】 コントローラとバッファメモリと不揮発性メモリとを有し、上記バッファメモリは複数のバンクを有するようにされ、

上記コントローラは外部からの制御情報に応じて、外部から入力された第1データを上記バッファメモリの各バンクに順次格納した後、格納したデータをさらに上記不揮発性メモリの指定した領域に格納し、上記不揮発性メモリへの格納動作と並行して外部から入力される第2データを上記バッファメモリの上記不揮発性メモリへの転送完了したデータが格納されていたバンクに格納可能であることを特徴とする不揮発性記憶装置。

【請求項5】 上記バッファメモリの全バンクの記憶容量の和は上記不揮発性メモリにおける一括書き込みの単位と同じ大きさであることを特徴とする請求項4に記載の不揮発性記憶装置。

【請求項6】 上記バッファメモリから上記不揮発性メモリへのデータ転送の完了／未完了を示す状態レジスタもしくは状態フラグを備え、該状態レジスタもしくは状態フラグは上記コントローラによって状態が制御されるように構成されていることを特徴とする請求項4に記載の不揮発性記憶装置。

【請求項7】 上記状態レジスタもしくは状態フラグは、上記各バンク毎に上記不揮発性メモリへのデータ転送の完了／未完了を示すように構成されていることを特徴とする請求項6に記載の不揮発性記憶装置。

【請求項8】 外部から入力されるデータを格納しているバンクの情報を保持する第1レジスタと、上記バッファメモリから上記不揮発性メモリへデータを転送しているバンクの情報を保持する第2レジスタとを備え、上記コントローラは上記第1レジスタと第2レジスタが保持しているバンクの情報に基づいて各バンクのデータ転送の完了／未完了を判定し上記状態レジスタもしくは状態フラグを制御するように構成されていることを特徴とする請求項7に記載の不揮発性記憶装置。

【請求項9】 上記バンク毎に、対応するバンク内に上記不揮発性メモリへ転送すべきデータがあるか否かを示すフラグを備え、上記コントローラは上記フラグの状態に基づいて各バンクのデータ転送の完了／未完了を判定し上記状態レジスタもしくは状態フラグを制御するように構成されていることを特徴とする請求項7に記載の不揮発性記憶装置。

【請求項10】 上記不揮発性メモリのアドレス範囲を設定するレジスタと、該レジスタに設定されたアドレス情報と外部から入力される情報またはデータの量とに基づいて上記不揮発性メモリへのデータの格納の可否を検出するデータ格納不能検出手段を備えていることを特徴とする請求項4～9のいずれかに記載の不揮発性記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、不揮発性記憶装置に適用して有効な技術に関し、例えばフラッシュメモリのような不揮発性半導体メモリもしくはそれを内蔵したマルチメディアカードやスマートメディアなどのカード型記憶装置を利用して有効な技術に関する。

【0002】

【従来の技術】

近年、デジタルカメラなどの携帯用電子機器のデータ記憶媒体として、電源電圧を遮断しても記憶データを保持できるフラッシュメモリなどの不揮発性メモリを内蔵したメモリカードと呼ばれるカード型記憶装置が広く利用されるようにな

って来ている。

【0003】

ところで、不揮発性メモリは、RAMなどの揮発性メモリに比べてデータの書き込み所要時間がかなり長いため、不揮発性メモリを内蔵したメモリカードにおいては、カード内部に不揮発性メモリとは別にこれよりも容量の少ないRAMなどからなるバッファメモリを内蔵しておいて、データを記憶させる際には外部のホストCPUからライトデータを一旦バッファメモリに転送し、このバッファメモリから順次データを不揮発性メモリへ転送して書き込みを行なえるようにしたものがある（例えば特開2-62687号）。

【0004】

【発明が解決しようとする課題】

しかしながら、バッファメモリを内蔵した従来のメモリカードにおけるデータ転送は、図10に示すように、先ず期間T1で書き込みコマンドを送信し、期間T2で所定量のライトデータをホストCPUからバッファメモリに転送する。そして、期間T3でバッファメモリから不揮発性メモリの一括書き込み単位のデータの転送を行なう。一方、ホストCPUはデータDATA3の送信後、バッファメモリへのデータ転送を中断し、不揮発性メモリにおいて書き込みが終了するのを待つ（期間T4）。その後、メモリカードにおけるデータの書き込みが終了したのを確認して、次のライトデータをホストCPUからバッファメモリに転送する（期間T5'）ものであった。

【0005】

このような方式にあっては、不揮発性メモリにおいて書き込み行なっている期間T4の間ライトデータがバッファメモリに保持されているため、何らかの原因で書き込みが失敗したとしても再度同一ライトデータをホストCPUからメモリカードに転送する必要がないという利点がある。しかし、不揮発性メモリにおいて書き込み行なっている期間T4の間、バッファメモリデータ転送が中断されてホストCPUが待ち状態にされるとともに、不揮発性メモリも次のデータがホストCPUからバッファメモリに転送される間書き込み動作を待たされることとなるため、オーバーヘッドが大きくトータルの書き込み所要時間が長くなるという問題点があ

った。

【0006】

この発明の目的は、不揮発性メモリとバッファメモリを内蔵したカード型記憶装置における書き込みデータの転送のオーバーヘッドを少なくして書き込み所要時間を短縮可能にする技術を提供することにある。

この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

【0007】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

すなわち、不揮発性メモリとバッファメモリを内蔵したカード型記憶装置において、バッファメモリを複数のバンクで構成し、ホストCPUからバッファメモリの各バンクに順にデータを転送し、一杯になったバンクからデータを不揮発性メモリに転送する。そして、不揮発性メモリの一括書き込み単位のデータの転送が終了した時点で書き込みを開始し、データの書き込みが終了するまで待たずに、書き込み中のデータを転送し終わっているバンクへ次のライトデータをホストCPUから転送するようにしたものである。

【0008】

上記した手段によれば、バッファメモリから不揮発性メモリへのデータ転送と並行してホストCPUからバッファメモリへのデータ転送が行なわれるため、データ転送時間のオーバーヘッドが少くなり、書き込み所要時間を大幅に短縮することができる。

【0009】

また、望ましくは、上記バッファメモリから上記不揮発性メモリへのデータ転送の完了／未完了を示す状態レジスタもしくは状態フラグを設け、該状態レジスタもしくは状態フラグは上記コントローラによって状態が制御されるように構成する。これにより、状態レジスタもしくは状態フラグの参照することで次のデータをホストCPUからバッファメモリへ転送可能か否か容易に判定することができます。

きる。

【0010】

さらに、望ましくは、外部から入力されるデータを格納しているバンクの情報を保持する第1レジスタと、上記バッファメモリから上記不揮発性メモリへデータを転送しているバンクの情報を保持する第2レジスタとを設け、上記コントローラによって上記第1レジスタと第2レジスタが保持しているバンクの情報に基づいて各バンクのデータ転送の完了／未完了を判定し上記状態レジスタもしくは状態フラグを制御するように構成する。あるいは、上記バンク毎に、対応するバンク内に上記不揮発性メモリへ転送すべきデータがあるか否かを示すフラグを設け、上記コントローラによって上記フラグの状態に基づいて各バンクのデータ転送の完了／未完了を判定し上記状態レジスタもしくは状態フラグを制御するよう構成する。これによって、バッファメモリから不揮発性メモリへのデータ転送とホストCPUからバッファメモリへのデータ転送を並行して行なう制御を容易に実現することができる。

【0011】

【発明の実施の形態】

以下、本発明の好適な実施例を図面に基づいて説明する。

図1は、本発明が適用される不揮発性メモリを内蔵したメモリカードの実施例を示す。

この実施例のメモリカード100は、特に制限されないが、所定の単位で電気的な一括データ消去が可能なフラッシュメモリ(FLASH)110と、外部から供給されるコマンドに基づいてデータ転送などカード内部全体の制御を行なうマイクロプロセッサ(CPU)120と、外部の装置との信号のやり取りを行なうインターフェース回路130と、外部からの書き込みデータやフラッシュメモリ110からの読み出しデータを保持するRAMなどからなるバッファメモリ140と、書き込みデータに対するエラー訂正符号の生成およびエラー訂正符号に基づく読み出しデータのチェックと訂正の機能を有するエラー訂正符号生成&エラー訂正回路150と、CPU120からの指示に従ってフラッシュメモリ110に対するデータの書き込み、読み出しの制御を行なうフラッシュコントローラ160などから

構成されている。

【0012】

上記メモリ110、CPU120、フラッシュコントローラ160等の各部品はそれぞれ半導体集積回路で構成され、これらの半導体集積回路がプリント配線基板上に搭載され、全体が樹脂等によりモールドされてメモリカード100が構成される。

【0013】

また、この実施例のメモリカード100には、外部の電子機器のカードスロットに挿入されたときに電子機器側の回路と電気的に接続される外部端子171～175が設けられている。このうち、外部端子171と172はそれぞれ電源電圧Vccと接地電位GNDを受ける電源端子及び接地端子、外部端子173はタイミングを与えるクロック信号CKを受ける端子、外部端子174は外部のホストCPUからカードに対して与えられるコマンドやアドレスが入力されるとともにカードからホストCPUに対してステータスレジスタの内容などを出力する端子、外部端子175は外部のホストCPUからカードに対して与えられるライトデータが入力されるとともにカードから読み出されたリードデータをホストCPUに対して出力する端子である。

【0014】

上記外部端子174と175の信号の入出力はインターフェース回路130を介して行なわれる。バッファメモリ140は複数のバンクにより構成されている。マイクロプロセッサ120からバッファメモリ140に対してはバンクを指定する信号やライトかリードかを示す信号が供給される。バッファメモリ140からマイクロプロセッサ120へは、各バンクの状態を示す信号が供給される。外部のホストCPUから転送された書き込みデータはバッファメモリ140内の指定されたバンクに順次格納され、エラー訂正符号生成&エラー訂正回路150を介してフラッシュメモリ110に供給される。また、マイクロプロセッサ120は、外部端子174より入力された論理アドレスと物理アドレスに変換してフラッシュコントローラ160を介してフラッシュメモリ110に供給する。

【0015】

さらに、マイクロプロセッサ120からエラー訂正符号生成&エラー訂正回路150に対しては同期クロックSCが、また、エラー訂正符号生成&エラー訂正回路150からマイクロプロセッサ120に対しては正常にエラー訂正が行なえたか否かを示す信号等が供給される。また、インターフェース回路130内には、ライトデータのバッファメモリ140からフラッシュメモリ110へのライトデータの転送が終了したか否か等カード内の状態を反映するステータスレジスタSR1が設けられている。

【0016】

このステータスレジスタSR1には、マイクロプロセッサ120からの信号によってカード内の状態が設定される。このステータスレジスタSR1に含まれる状態ビットとしては、例えば書込みエラーが発生したことを示すエラービット、カードがアクセス可能な状態にあることを示すレディーノビジービット、バッファメモリ140が一杯になったことを示すオーバーフロービットなどがある。この実施例では、このステータスレジスタSR1の内容は、外部のホストCPU等がレジスタリードコマンドを外部端子174から入力することにより、コマンドと同一の外部端子174から読み出せるように構成されている。また、フラッシュユントローラ160からの信号によってステータスレジスタSR1にフラッシュユメモリ110の状態を直接設定できるように構成しても良い。

【0017】

フラッシュユメモリ110はフローティングゲートを有する絶縁ゲート型電界効果トランジスタからなる不揮発性メモリセルがマトリックス状に配設されたメモリアレイや、外部より入力されたアドレス信号をデコードしてメモリアレイ内の対応するワード線を選択レベルにするワードデコーダ、メモリアレイ内のビット線に接続され読み出しデータおよび書き込みデータを保持するデータラッチ、書き込み消去に必要な高電圧を発生する昇圧回路などから構成されている。

【0018】

上記データラッチは、この実施例のフラッシュユメモリでは、1セクタすなわち1本のワード線に接続されているすべてのメモリセルのデータを保持することができるような大きさとされている。さらに、フラッシュユメモリ110内には、書

込みが正常に終了したかエラーが発生しているか反映するステータスレジスタ S R 2 が設けられている。

なお、フラッシュメモリは、2層ゲート構造を有し、浮遊ゲート層に蓄積する電荷の量の違いによるしきい値電圧の高低によりデータを記憶する。本実施例においては、浮遊ゲート層に電荷を注入し、しきい値電圧を高くする動作を書き込み、その逆の動作を消去と称する。

【0019】

また、この実施例のメモリカードに用いられるフラッシュメモリは、コマンドと制御信号に基づいて動作するように構成されている。フラッシュメモリに有効なコマンドとしては、リードコマンドの他、ライトコマンド、消去コマンド等がある。さらに、フラッシュメモリ 110 へ入力される制御信号としては、チップ選択信号 C E やリードかライトかを示す書き込み制御信号 W E 、出力タイミングを与える出力制御信号 O E 、システムクロック S C 、コマンド入力かアドレス入力かを示すためのコマンドイネーブル信号 C D E がある。これらのコマンドや制御信号はフラッシュコントローラ 160 から与えられる。

【0020】

フラッシュコントローラ 160 はコントロールレジスタを備えており、マイクロプロセッサ 120 がこのコントロールレジスタに対して設定を行なうことにより、フラッシュコントローラ 160 によってフラッシュメモリ 110 に対する書き込みや読み出し、消去等の制御が行われる。マイクロプロセッサ 120 からフラッシュコントローラ 160 へ供給される信号は、リードまたはライトを指示する制御信号と、上記コントロールレジスタ等を指定するアドレス信号、コントロールレジスタに設定されるデータ信号等がある。

【0021】

なお、フラッシュメモリを搭載したメモリカードは図 1 の構成に限定されず、エラー訂正符号生成&エラー訂正回路を内蔵したフラッシュメモリを使用したものや、エラー訂正符号生成&エラー訂正回路とコントローラとを 1 チップとしたものを使用してメモリカードを構成するようにしてもよい。また、フラッシュメモリ 110 は、1 つのメモリセルに 1 ビットのデータを記憶させる 2 値のフラッ

シュメモリでも、1つのメモリセルにしきい値電圧を制御して複数ビットのデータを記憶するように構成された多値のフラッシュメモリでも良い。

【0022】

さらに、フラッシュメモリは1つのみでなく複数個搭載したものであっても良い。その場合、ECC回路は各チップ毎に設けても良いし、ECC回路を複数のフラッシュメモリで共用するように構成することも可能である。また、実施例のメモリカードには、コントローラとして、マイクロプロセッサ120とフラッシュコントローラ160の2つが設けられているが、いずれか一方のみ有する構成も可能である。

【0023】

次に、上記のように構成されたメモリカードに本発明を適用した場合における書き込みデータの転送方式の第1の実施例を、図2のタイミングチャートを用いて説明する。なお、ここでは、バッファメモリ140が各々512バイトの容量を有する4つのバンクBNK0～BNK3で構成されている場合を説明する。

【0024】

第1の実施例では、メモリカードへのデータの書き込みに際して、先ず外部のホストCPUからメモリカードの外部端子174へデータ転送コマンドと書き込みアドレスを送る（期間T1）。続いて、ホストCPUからメモリカードの外部端子175へライトデータを転送する。転送されたデータはインターフェース130を介してバッファメモリ140の各バンクBNK0～BNK3に順次格納される（期間T2）。上記コマンドとアドレスの送信およびライトデータの転送はシリアルに行なわれる。

【0025】

上記バッファメモリ140へのライトデータの転送と並行して、各バンクBNK0, BNK1, BNK2, バンクBNK3が各々512バイトのような転送データDATA0, DATA1, DATA2, DATA3で一杯になった時点で、それぞれ各バンクからフラッシュメモリ110へのライトデータの転送が行なわれる（期間T3）。例えば各バンクBNK0が転送データDATA0で一杯になると、次のデータDATA1がホストCPUからバンクBNK1に転送され始め

るが、このとき並行してバンクBNK0のデータがフラッシュメモリ110へ転送される。

【0026】

なお、各バンクからフラッシュメモリ110へのライトデータの転送は、例えば8ビットのような単位でパラレルに行なわれる。従って、1つのバンクに格納される512バイトのデータは、ホストCPUからバッファメモリ140への転送よりもバッファメモリ140からフラッシュメモリ110への転送の方が短時間に終了する。また、バッファメモリ140からフラッシュメモリ110への転送のとき、ライトデータはエラー訂正符号生成&エラー訂正回路150を経由することで、例えば512バイトごとにエラー訂正符号が付加されてフラッシュメモリ110に供給される。そして、各バンクBNK0～バンクBNK3からフラッシュメモリ110へのデータ転送が終了した時点で、フラッシュメモリ110において、セクタ単位で一括書き込みが行なわれる（期間T4）。

【0027】

一方、この実施例においては、バッファメモリ140からフラッシュメモリ110へのライトデータの転送がすべて終了すると、この実施例においては、バッファメモリ140のデータは不用になったものとして、次のセクタの書き込みデータDATA4～DATA7のバッファメモリ140への転送を行なう（期間T5）。

【0028】

なお、バッファメモリ140からフラッシュメモリ110へのライトデータの転送がすべて終了した時点でインターフェース回路130内のステータスレジスタSR1には、データ転送が終了したことを示すビットがセットされるので、外部のホストCPUはこのステータスレジスタSR1の読み出しコマンドを送ることでバッファメモリのデータ転送終了を判定することができる。ステータスレジスタSR1の内容は、コマンドが入力された外部端子174を介して時分割でホストCPUへ送信される。

【0029】

この実施例のデータ転送方式によれば、フラッシュメモリ110における書き込み

みの終了を待たずに、外部のホストCPUからメモリカードに対して次のセクタの書き込みデータの転送を開始できるので、データ転送に伴なうオーバーヘッド時間を少なくしてトータルの書き込み所要時間を短縮することができる。

【0030】

次に、本発明に係るメモリカードへの書き込みデータの転送方式の第2の実施例を、図3のタイミングチャートを用いて説明する。

第2の実施例の転送方式は、バッファメモリ140の全バンクへの1セクタ分のデータの転送終了後、第1の実施例のようにステータスレジスタSR1の読み込みによるフラッシュメモリへのデータ転送終了を確認することをせずに、直ちに次のセクタへの書き込みデータの転送を行なうものである。ただし、このようにすると、ホストCPUからバッファメモリ140へのデータ転送所要時間の方が、フラッシュメモリ110における書き込み所要時間よりも短い場合、図3に符号t1で示すように、既にバッファメモリ140に格納されているデータがフラッシュメモリ110へ転送される前に、ホストCPUからバッファメモリ140への次のセクタの書き込みデータ転送開始タイミングが来てしまうことがある。

【0031】

従って、この実施例の転送方式を適用する場合には、このようなデータ転送の追越しを防止する必要がある。ここで、データ転送の追越しを防止する方法の一例を、図4および図5を用いて説明する。

【0032】

図4は、データ転送の追越しを防止するために必要なハードウェアを示したもので、インターフェース回路130内にホストCPU200がデータ転送に使用しているバッファメモリ140のバンクの番号を格納するレジスタREG1が、またフラッシュコントローラ160内にバッファメモリ140からフラッシュメモリ110へデータを転送しているバンクの番号を格納するレジスタREG2が設けられていると共に、2つのレジスタREG1とREG2のバンク番号を比較するコンパレータからなるバッファエラー検出回路180が設けられている。レジスタREG1とREG2の管理はそれぞれインターフェース回路130とフラッシュコントローラ160が行なう。

【0033】

この実施例によれば、バッファエラー検出回路180が2つのレジスタに保持されているバンク番号の一一致を検出したときに検出信号をマイクロプロセッサ120へ出力することにより、ホストCPU200からのデータ転送がまだ使用中のバンクに対して行われたことをマイクロプロセッサ120が知り、例えばインターフェース回路130内のステータスレジスタSR1のデータ転送エラービットをセットすることにより、ホストCPU200にデータ転送エラーを知らせることができる。ここで、データ転送エラービットは、データ転送の追越し（バッファエラー）以外のデータ転送エラーを含んだものとしても良いし、バッファエラーを示すビットを別個に設けて他のデータ転送エラーと区別するようにしても良い。

【0034】

なお、ホストCPU200は、前述のようにステータスレジスタSR1の読み出しコマンドでレジスタの内容を読み出すことにより、データ転送エラーを起こしたことを知ることができる。従って、データ転送エラーを起こした場合には、再度最初から書き込みコマンドの送信と書き込みデータの転送を行なうこととなる。

【0035】

一般に、フラッシュメモリは、書き込み時間が書き込み対象のセクタや書き込みデータによってまちまちであり極端に長くなることがあるため、ホストCPUがフラッシュメモリの平均的な書き込み所要時間に合わせて書き込みデータを転送しても、上記のようにバッファエラーが生じることがあるが、この実施例によれば、ホストCPUにデータ転送の追越しを知らせることができる。その結果、バンク内のデータをフラッシュメモリへ転送終了する前にそのバンクにホストCPUから次のデータが転送されて上書きされるのを回避することができる。

【0036】

なお、図4の実施例のメモリカードにおいては、バッファエラー検出回路180を設けてデータ転送の追越し状態をハードウェアで検出するようにしているが、これをマイクロプロセッサ120のソフトウェア処理で行なうことも可能である。図5にその場合の制御手順の一例を示す。

【0037】

マイクロプロセッサ120は、ホストCPUからの書き込みコマンドを受けるとレジスタREG1とREG2からバンク番号を読み出して比較し、バッファエラーを起こしていないか判定する（ステップS1～S3）。そして、バッファエラーを起こしていない場合には、ホストCPUから転送されてくる書き込みデータをレジスタREG1が示すバンク番号に対応するバッファメモリのバンクに格納させる（ステップS4）。

【0038】

バンクが一杯になるとフラッシュコントローラ160に対してフラッシュメモリ110への書き込み命令を与え、バッファメモリ140からフラッシュメモリ110へのデータの転送を行なう（ステップS5，S6）。その後、フラッシュコントローラ160に対して、フラッシュ書き込み開始命令を与えてからステップS3へ戻る（ステップS7）。一方、ステップS3でバッファエラーを起こしたと判定するとステップS8へ移行して、インターフェース回路130内のステータスレジスタSR1のデータ転送エラービットをセットするなどのエラー処理を行なう。

【0039】

なお、この実施例においては、例えばインターフェース回路130内にバッファエラーを起こしたバンク番号もしくは転送データを示す情報を格納するレジスタを設けて、ホストCPUに知らせるように構成してもよい。これにより、ホストCPUからメモリカードへのデータ転送中にバッファエラーを起こした場合、エラーを起こしたデータから転送を再開させることができる。

【0040】

また、図4においては、ホストCPU200がデータ転送に使用しているバッファメモリ140のバンクの番号を格納するレジスタREG1をインターフェース回路130内に、またフラッシュコントローラ160内にバッファメモリ140からフラッシュメモリ110へデータを転送しているバンクの番号を格納するレジスタREG2をフラッシュコントローラ160内にそれぞれ設けているが、これらのレジスタの位置はこれに限定されず、独立した回路として設けても良いし

、マイクロプロセッサ120内もしくはバッファメモリ140の一部に設けることも可能である。

【0041】

また、上記レジスタREG1, REG2を設ける代わりに、各バンクに対応してそれぞれホストCPUとバッファメモリ間のデータ転送中を示すフラグと、バッファメモリとフラッシュメモリ間のデータ転送中を示すフラグの2つのフラグを設け、これらのフラグの状態からバッファエラーを検出するようにしても良い。さらに、バッファエラーを起こしたバンクの番号を格納するレジスタを例えばインターフェース回路130内に設け、外部のホストCPUから読み出せるように構成しても良い。

【0042】

次に、本発明に係るメモリカードへの書き込みデータの転送方式の第3の実施例を、図6のタイミングチャートを用いて説明する。

第3の実施例の転送方式は、第2の実施例の転送方式に類似している。すなわち、バッファメモリ140の全バンクBANK0～BNC4へのデータDATA0～DATA3の転送終了後に、バッファメモリ140からフラッシュメモリ110へのデータ転送終了を確認せずに、直ちに次のセクタ用の書き込みデータDATA4～DATA7の転送を開始するものである。第2の実施例の転送方式との違いは、図6の一番下に示されているバッファメモリの状態を表わす図のように、すべてのバンクに未転送のデータが残っている状態で次のデータの転送が開始されそうになった場合(タイミングt2)にバッファエラーとするものである。図6の一番下のバッファメモリの状態を表わす図において、ハッチングが付されているバンクは、ホストCPUからのデータが格納され、フラッシュメモリへのデータ転送が終了していないものを意味している。

【0043】

図7は、第3の実施例の転送方式を適用する場合に必要なハードウェアを示したもので、この実施例では、バッファメモリ140内の各バンクBANK0～BANK3に対応してそれぞれデータ転送状態を示すフラグFLG0～FLG3が設けられており、これらのフラグは対応するバンクにホストCPU200からデータ

が格納されるときに“1”にセットされ、格納されたデータがフラッシュメモリ110へ転送されると“0”にクリアされる。従って、実際にバンク内にデータがあるか否かに係わらず、フラグに“0”が立っていればそのバンクは空きバンクであり、次の書き込みデータを格納できる状態にあることが分かる。

【0044】

特に制限されるものでないが、この実施例では、ホストCPU200からバッファメモリ140へのデータ転送時にインターフェース回路130によってデータを格納しようとしているバンクのフラグが“1”にセットされ、バッファメモリ140からフラッシュメモリ110へ1バンク分のデータの転送が終了したときにマイクロプロセッサ120によって転送が終了したバンクのフラグが“0”にクリアされる。

【0045】

この実施例のデータ転送時におけるマイクロプロセッサ120の制御手順は、図5のフローとほぼ同一である。異なるのは、ステップS2でバンク番号をレジスタから読み出す代わりにバッファメモリ140のフラグFLG0～FLG3を読み出す点と、ステップS3でバンク番号が一致しているときにバッファエラーと判定する代わりにフラグFLG0～FLG3がすべて“1”になっているときにバッファエラーと判定する点のみである。

【0046】

なお、フラグを設ける代わりに、ホストCPUからのデータの転送が行なわれたバンク番号を記憶するレジスタを設け、バンクからフラッシュメモリへのデータの転送が終了した時点でそのレジスタからバンク番号を削除するような制御を行なってこのレジスタの内容からバッファエラーが発生するか否かを判定するように構成することも可能である。

【0047】

次に、本発明に係るメモリカードへの書き込みデータの転送方式の第4の実施例を、図8のブロック図および図9のフローチャートを用いて説明する。

【0048】

この実施例は、アドレスのエラーでホストCPUから書き込みコマンドと書き込み

データによるフラッシュメモリ110への書き込みの際に、フラッシュメモリが書き込み不能もしくはオーバーフローを起こすのを防止できるようにしたものである。すなわち、前記実施例で説明したように、ホストCPUが書き込みコマンドに付随して送られてきた書き込みアドレスがフラッシュメモリ110のアドレス範囲を外れていた場合や、例えばフラッシュメモリの最後のセクタを指定する書き込みアドレスの後に1セクタ分以上の書き込みデータをホストCPUが転送して来た場合、フラッシュメモリはオーバーフローを起こしてデータの書き込みが行なえなくなるので、それを防止するのがこの実施例の目的である。

【0049】

上記目的を達成するため、この実施例のメモリカードには、図8に示すように、インターフェース回路130内にフラッシュメモリのアドレス範囲を設定するレジスタADRが設けられるとともに、ホストCPUから供給された論理アドレスをマイクロプロセッサ120で変換した物理アドレスや、転送データ量に応じてマイクロプロセッサ120が更新したアドレスと上記アドレス設定レジスタADRに設定されているアドレスとを比較して、アドレスエラーを検出するアドレスエラー検出回路190が設けられている。

【0050】

なお、上記アドレス設定レジスタADRは、インターフェース回路130内でなく、独立した回路として設けたり、フラッシュコントローラ160やマイクロプロセッサ120内に設けるようにしても良い。また、図8には、図4の実施例と組み合わせた場合すなわちデータ転送中のバンク番号を保持するレジスタREG1およびREG2とバッファエラー検出回路180を設けた実施例が示されているが、本実施例は図4の実施例とは独立に適用することが可能である。つまり、図8に示されているレジスタREG1およびREG2とバッファエラー検出回路180を省略することができる。

【0051】

次に、この実施例のデータ転送方式を採用したメモリカードにおけるデータ転送制御手順を、図9のフローチャートを用いて説明する。この制御手順は図5の手順とほぼ同じである。異なるのは、図5のステップS4とS5の間にアドレス

エラーが発生したか否か判定するステップS9が設けられており、アドレスエラーが発生しているときは、インターフェース回路130内のステータスレジスタSR1の所定のエラービットをセットするなどの処理を行なうエラー処理S8へ移行する点である。

【0052】

図9のステップS9でのアドレスエラーの判定は、アドレスエラー検出回路190からの信号に基づいて行なうことができる。ただし、アドレスエラー検出回路190を設けないで、マイクロプロセッサ120がソフトウェアの処理で、アドレス設定レジスタADRに設定されているアドレスに基づいてアドレスエラーの判定を行なうように構成することも可能である。

【0053】

次に、図11の実施例のメモリカードにおいて、フラッシュメモリ110での書き動作において、書きエラーが発生した場合の動作について説明する。フラッシュメモリ110へバッファメモリ140内の格納データの転送を行った後、バッファメモリ140へは次の書きデータが転送され格納されるが、その後フラッシュメモリ110において書きエラーが発生したことが判明した場合、書きエラーが発生した書きデータは既にバッファメモリ140から削除されていることが考えられる。

この場合、フラッシュメモリ110内のデータラッチDLに格納されている書きエラーが発生した書きデータをバッファメモリ140のバンク0からバンク3以外の領域に読み出しを行い、書きエラーが発生したフラッシュメモリ110のアドレスに対して別のアドレスを指定する代替処理を行い、再度代替アドレスに対してバッファメモリ140に読み出された書きエラーが発生した書きデータを格納するようすればよい。代替アドレスへの格納が完了した後に、バッファメモリ140のバンク0からバンク3に格納されている次の書きデータを格納するようすることで、ホストCPU200から転送された書きデータを再度転送する必要を無くすることが可能である。

【0054】

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本

発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば上記実施例では、バッファメモリ140が4つのバンクで構成されている場合を説明したが、バンクの数は4つに限定されるものでなく任意の数とすることができます。また、バッファメモリ140は1つの半導体メモリで構成されても良いが、複数の半導体メモリで構成するようにしても良い。この場合、1つの半導体メモリを1つのバンクに対応させることができます。また、バッファメモリ140としてフラッシュメモリ110の1セクタ分以上の大きさのものを用い、バンクとして使用する領域以外をマイクロプロセッサ120がワークエリアとして使用できるようにしてもよい。

【0055】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるフラッシュメモリおよびそれを内蔵したメモリカードに適用した場合について説明したが、この発明はそれに限定されるものでなく、EEPROMチップその他の不揮発性メモリもしくはこれを内蔵したメモリカードあるいは複数の不揮発性メモリチップを1枚のボード上に搭載してなるメモリモジュールなどにも利用することができる。

【0056】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

すなわち、この発明は、不揮発性メモリとバッファメモリを内蔵したカード型記憶装置において、バッファメモリを複数のバンクで構成し、ホストCPUからバッファメモリの各バンクに順にデータを転送し、一杯になったバンクからデータを不揮発性メモリに転送して、不揮発性メモリの一括書き込み単位のデータの転送が終了した時点で書き込みを開始し、データの書き込みが終了するまで待たずに、書き込み中のデータを転送し終わっているバンクに次のライトデータをホストCPUから転送するようにしたので、書き込みデータの転送のオーバーヘッドを少なくして書き込み所要時間を短縮することができるようになるという効果がある。

【図面の簡単な説明】

【図1】

本発明が適用される不揮発性メモリを内蔵したメモリカードの実施例を示すブロック図である。

【図2】

図1のメモリカードに本発明を適用した場合における書き込み処理の第1の実施例を示すタイミングチャートである。

【図3】

本発明を適用したメモリカードにおける書き込み処理の第2の実施例を示すタイミングチャートである。

【図4】

本発明を適用したメモリカードにおける書き込み処理の第2の実施例を実現可能にするハードウェアの構成例を示すブロック図である。

【図5】

本発明を適用したメモリカードにおける書き込み処理の第2の実施例における制御手順を示すフローチャートである。

【図6】

本発明を適用したメモリカードにおける書き込み処理の第3の実施例を示すタイミングチャートである。

【図7】

本発明を適用したメモリカードにおける書き込み処理の第4の実施例を示すタイミングチャートである。

【図8】

本発明を適用したメモリカードにおける書き込み処理の第5の実施例を実現可能にするハードウェアの構成例を示すブロック図である。

【図9】

本発明を適用したメモリカードにおける書き込み処理の第5の実施例における制御手順を示すフローチャートである。

【図10】

従来のメモリカードにおける書き込み処理のタイミングを示すタイミングチャート

トである。

【図11】

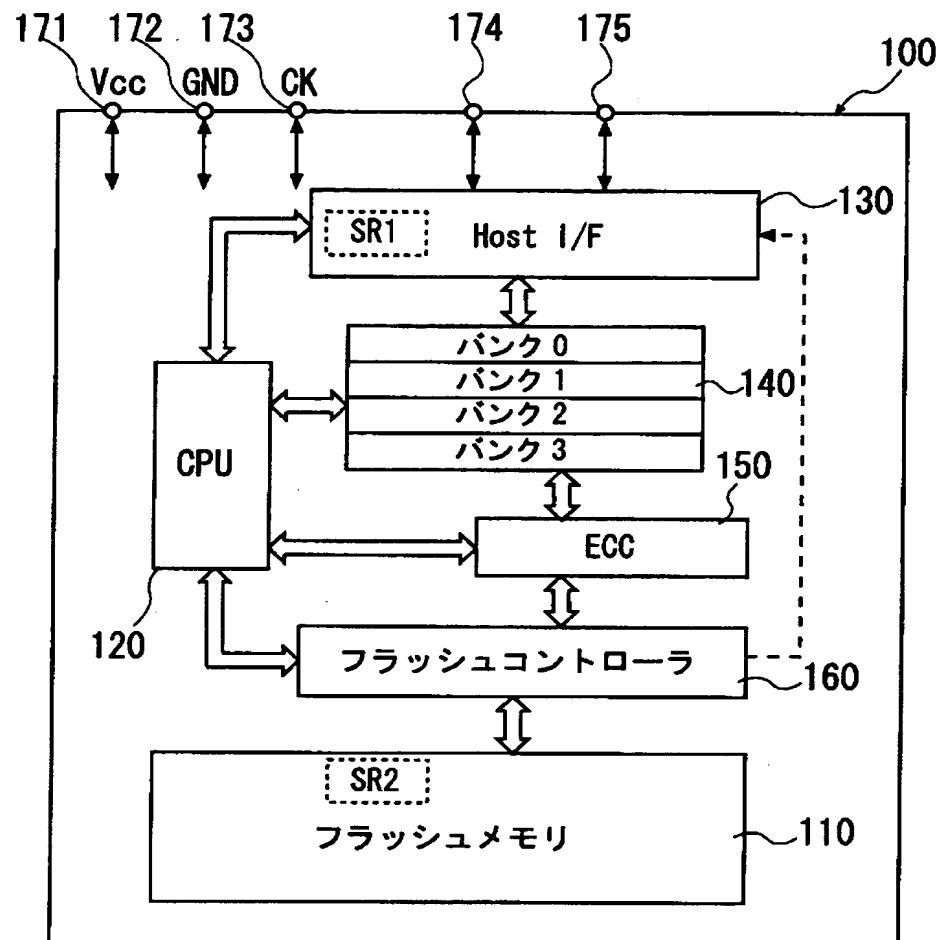
書き込みデータを保持するデータラッ奇を有するフラッシュメモリを用いたメモリカードにおける書き込みエラーが発生した場合の動作を説明するブロック図である。

【符号の説明】

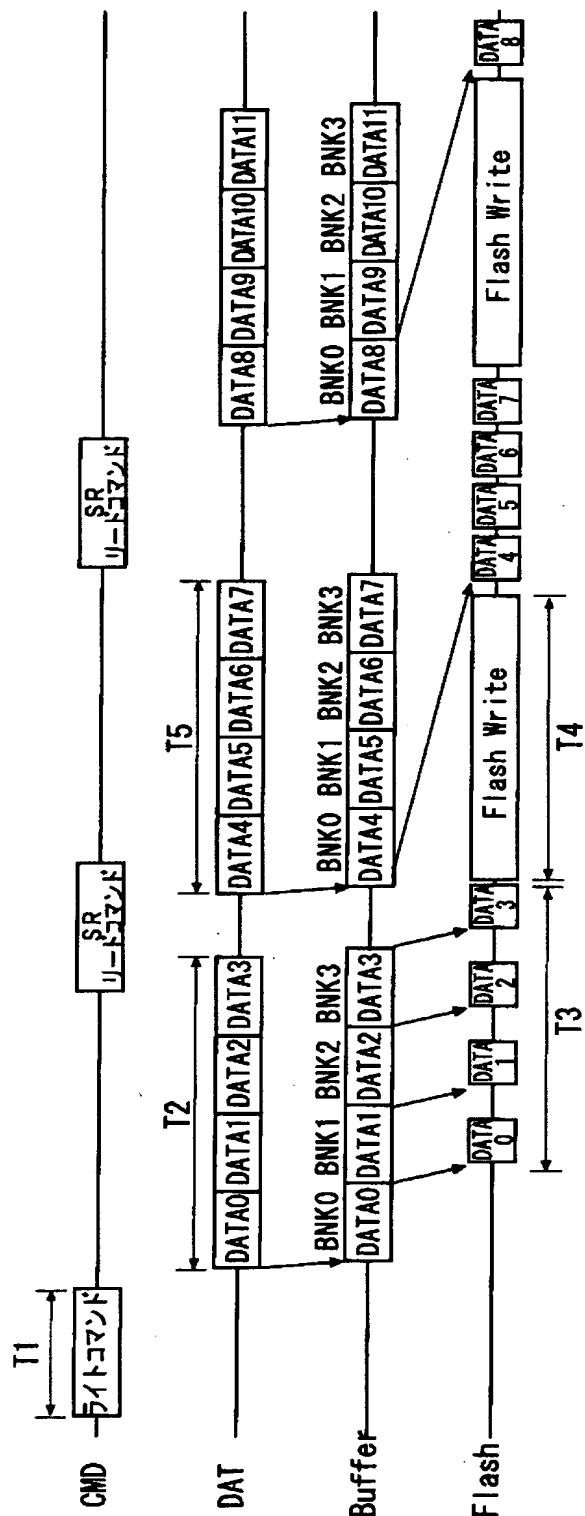
- 100 メモリカード
- 110 フラッシュメモリ
- 120 マイクロプロセッサ (CPU)
- 130 インタフェース回路
- 140 バッファメモリ
- 150 エラー訂正符号生成&エラー訂正回路
- 160 フラッシュコントローラ
- 171～175 外部端子
- 180 バッファエラー検出回路
- 190 アドレスエラー検出回路

【書類名】 図面

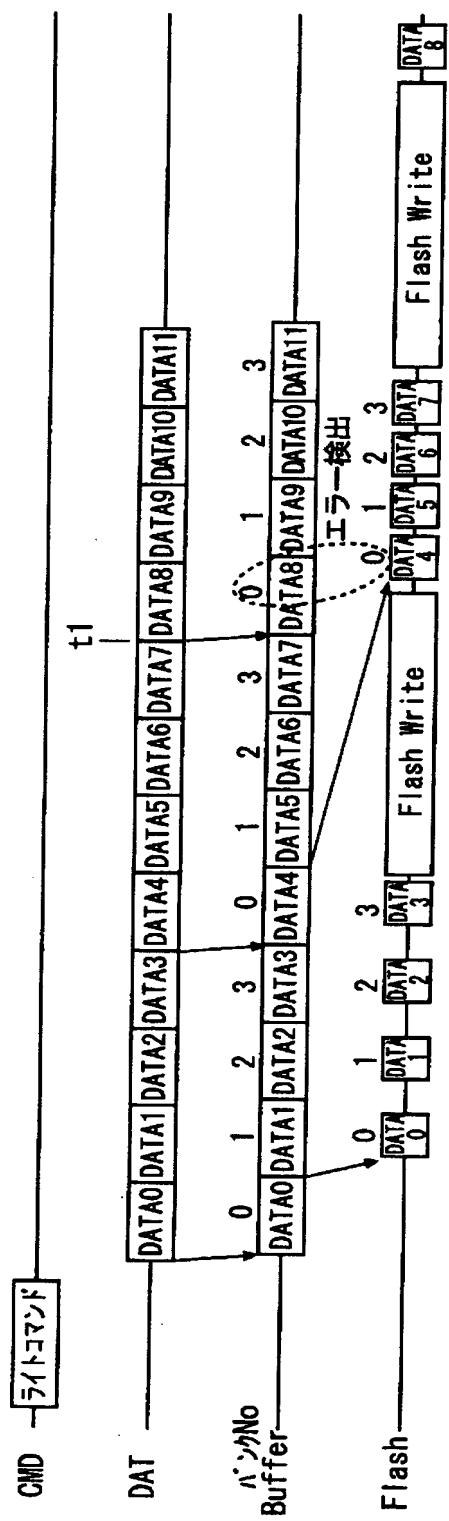
【図1】



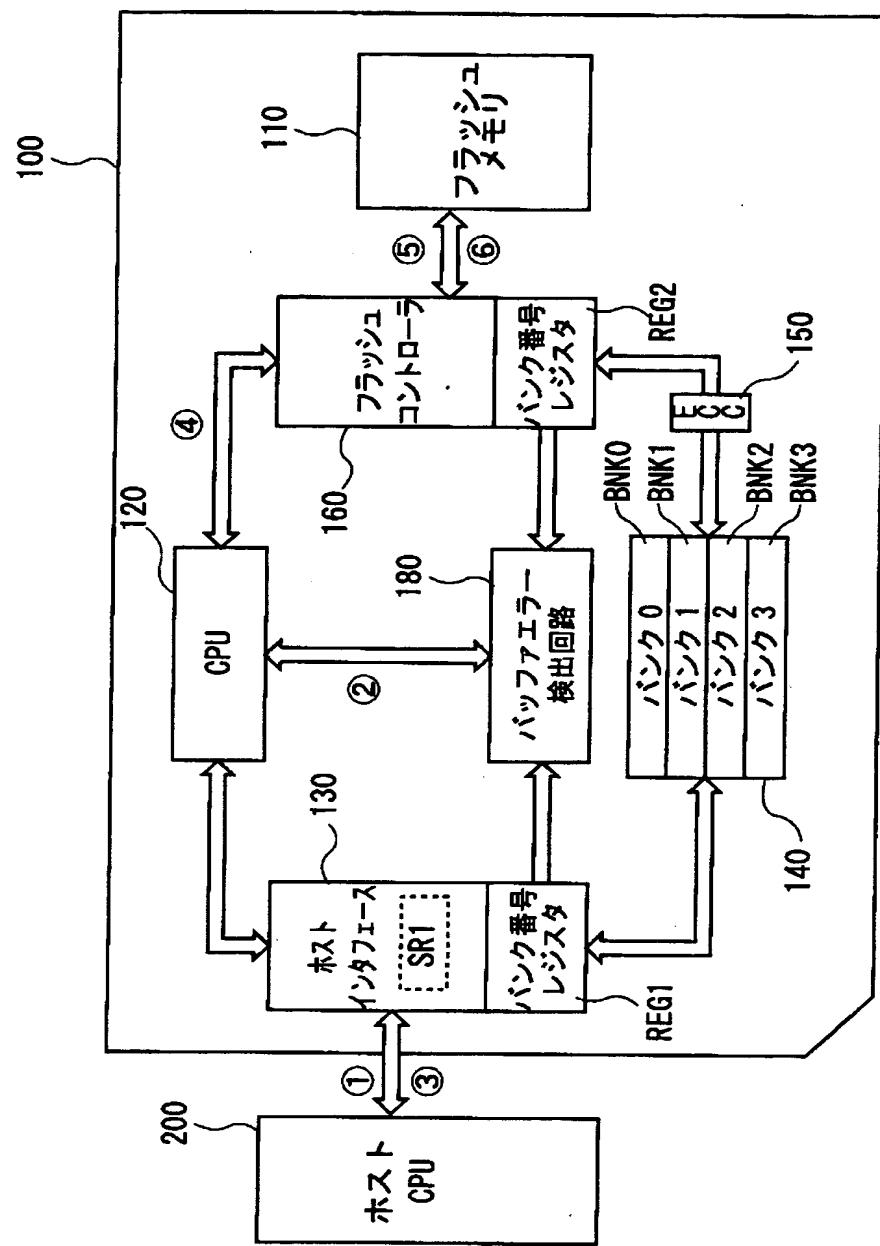
【図2】



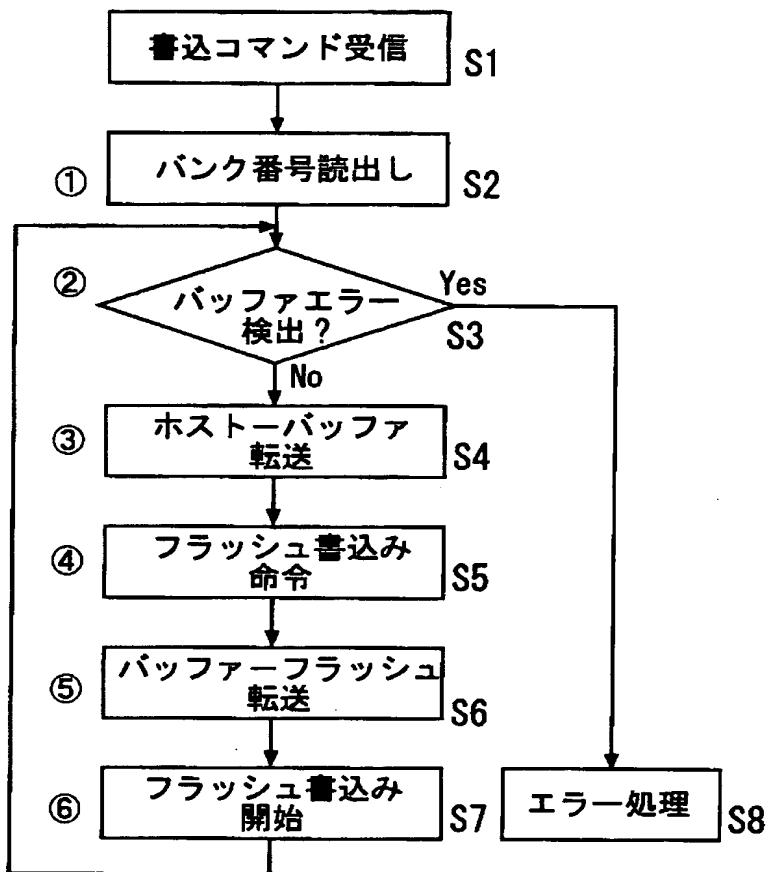
【図3】



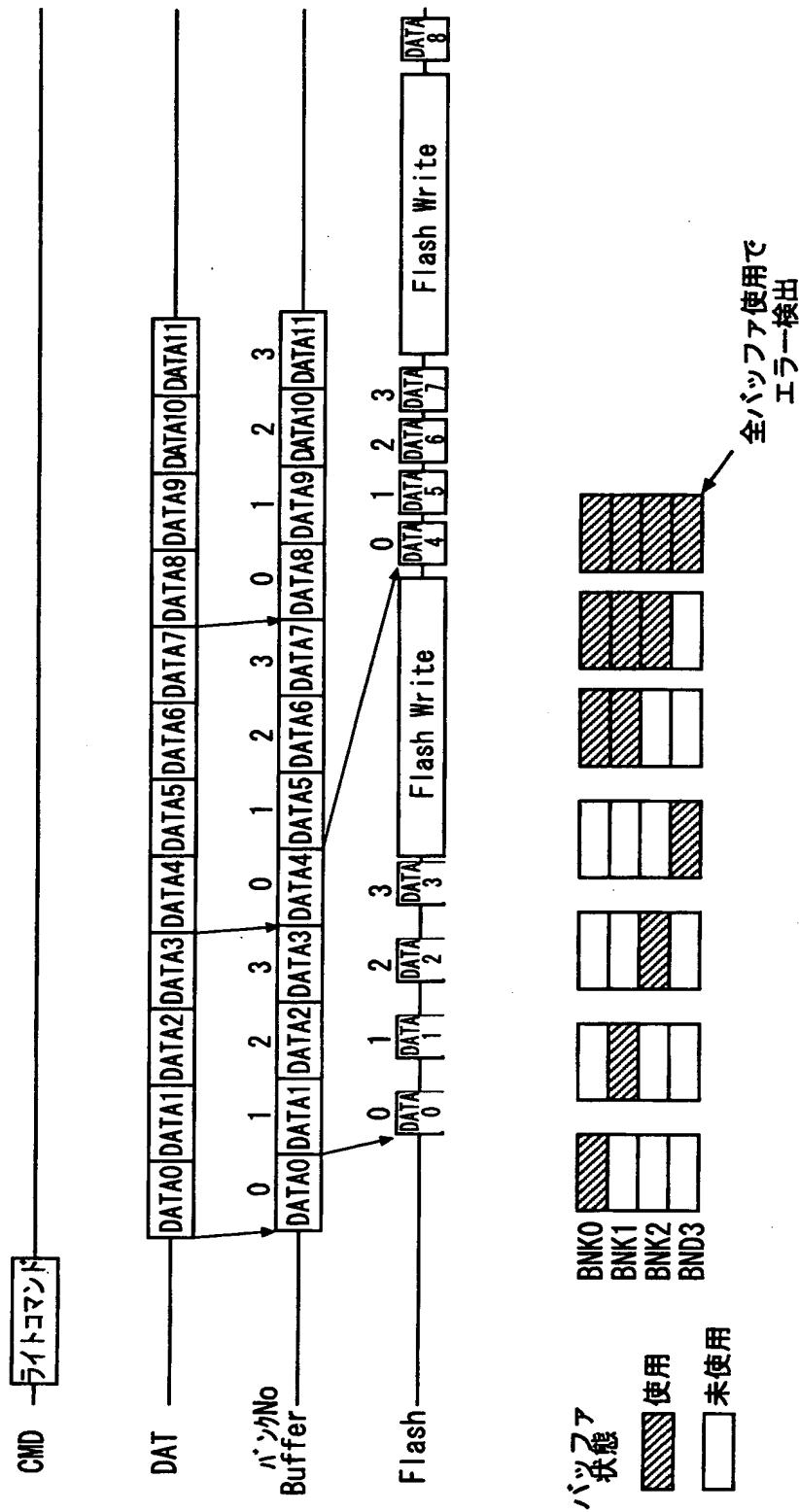
【図4】



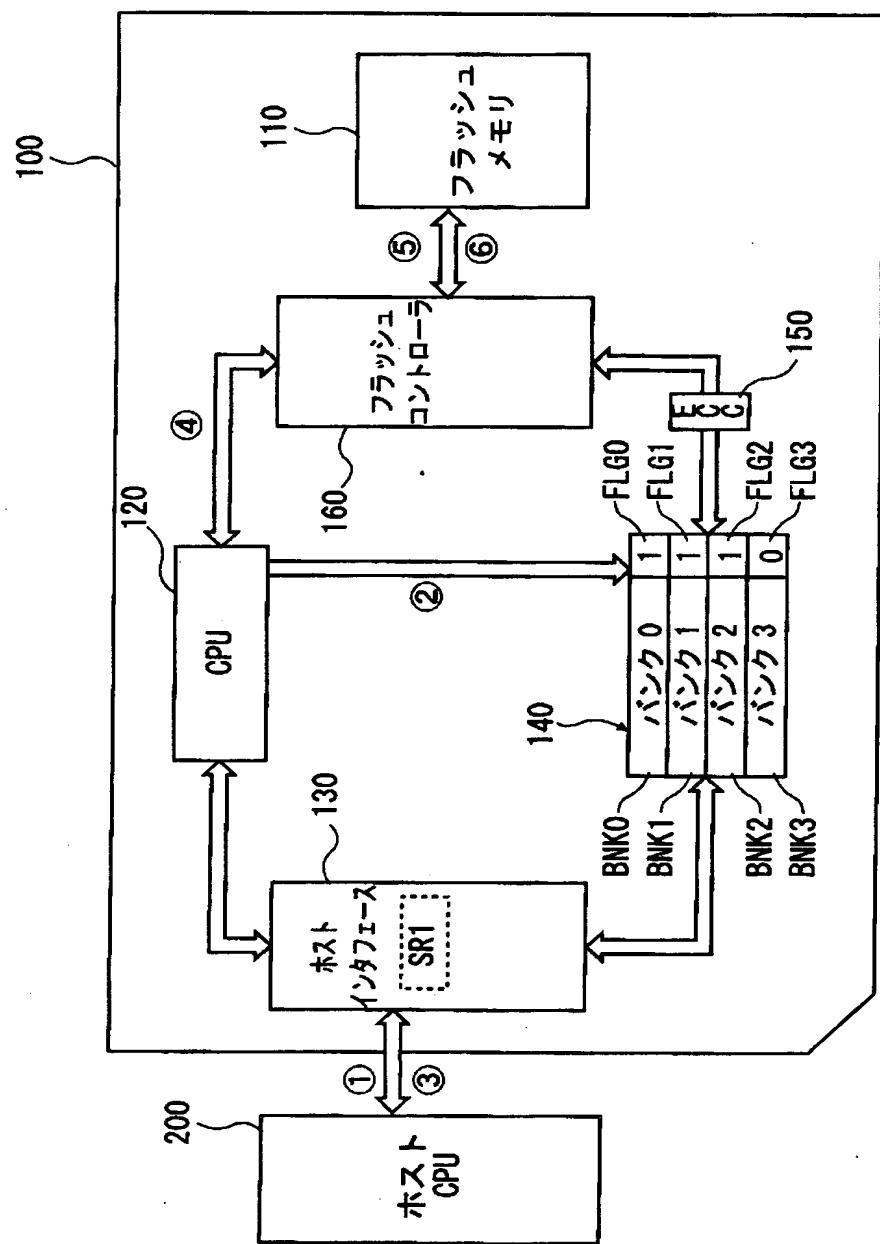
【図5】



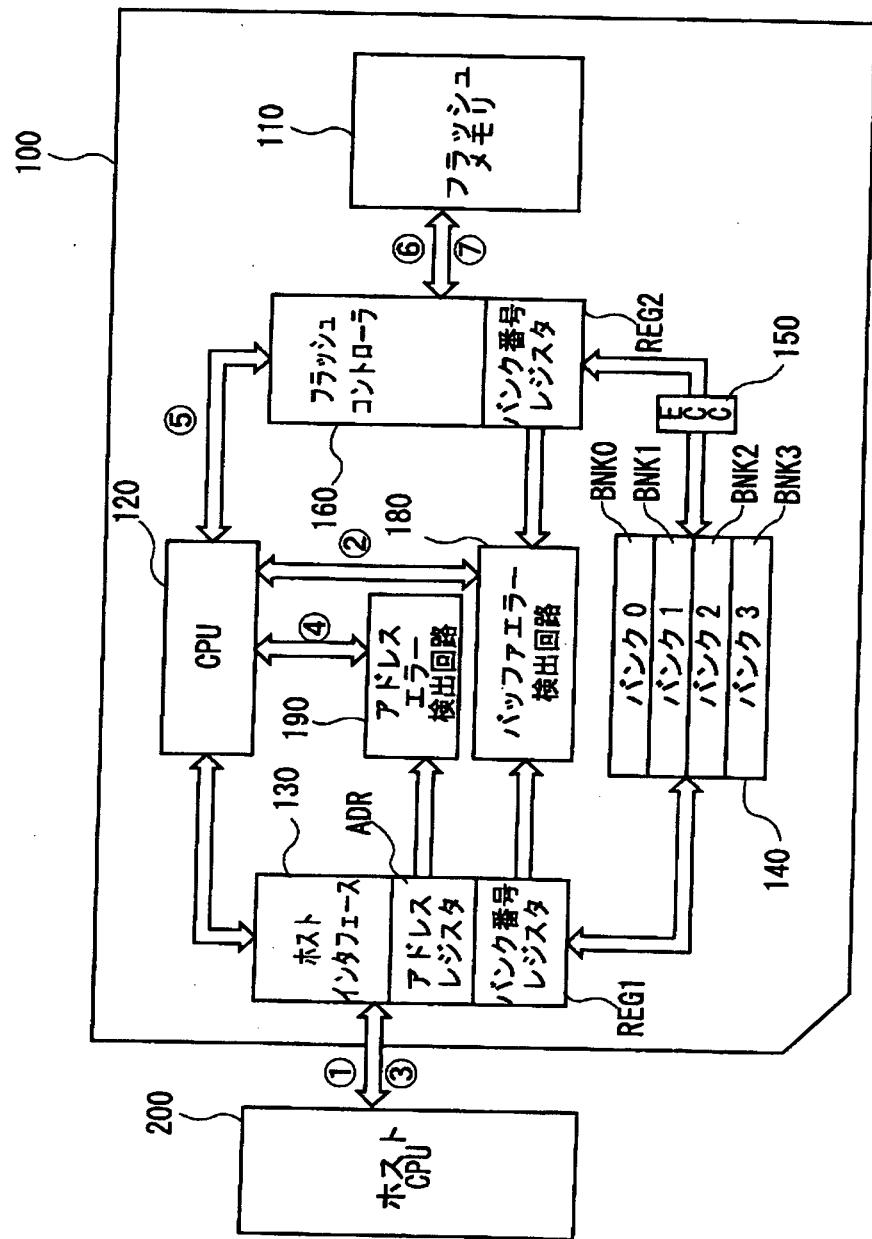
【図6】



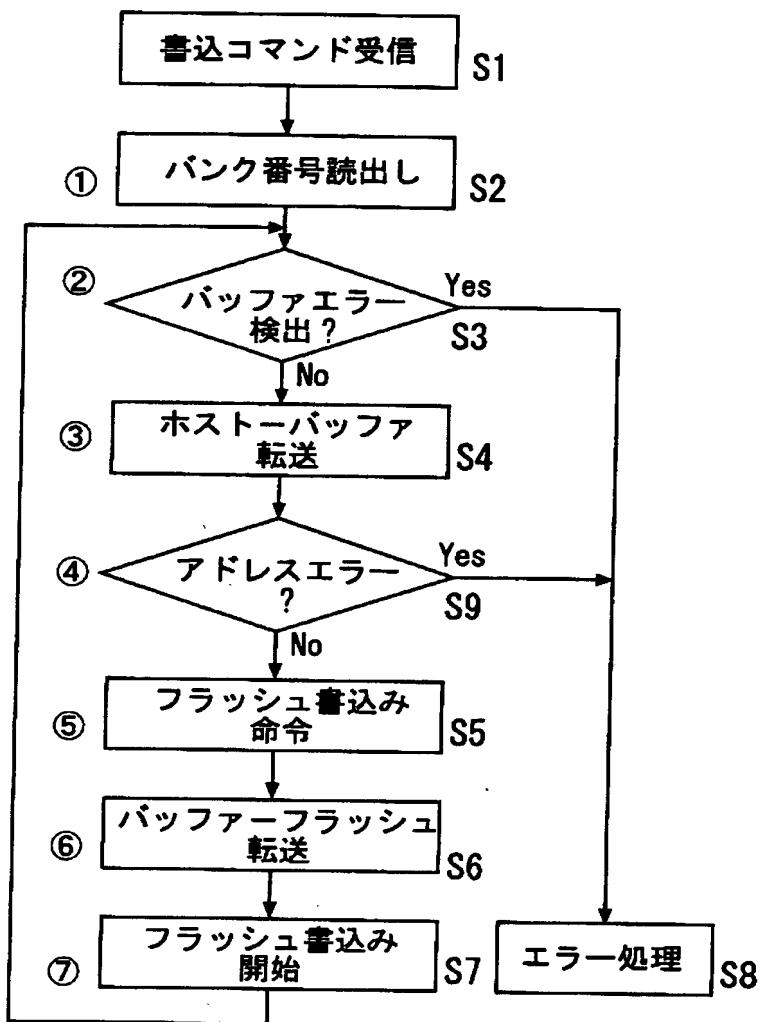
【図7】



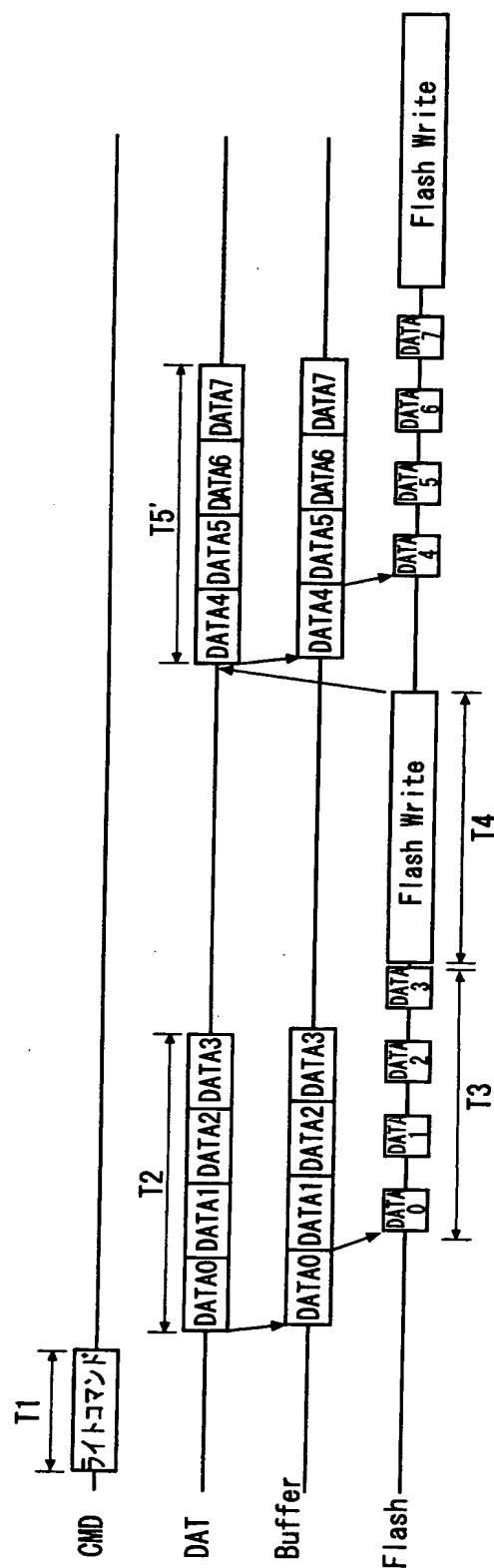
【図8】



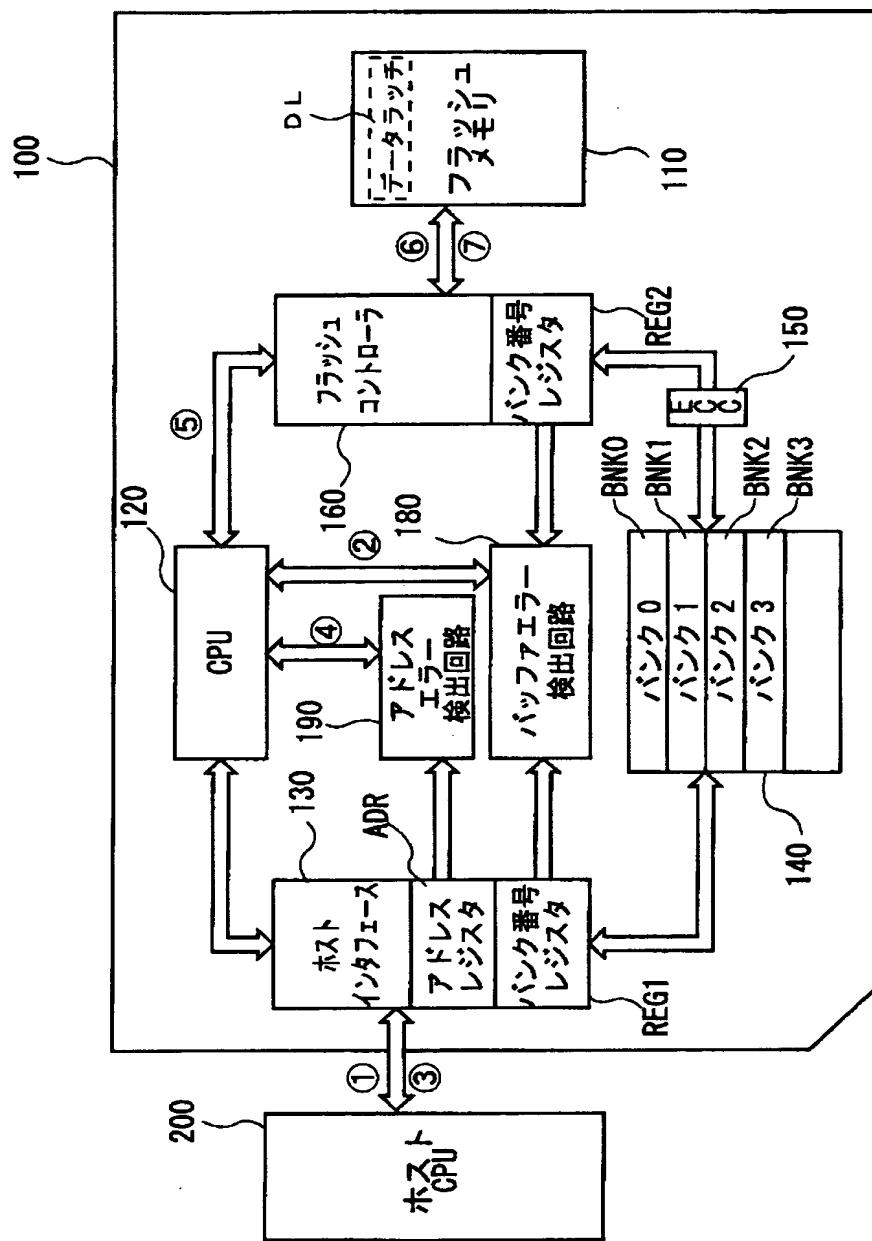
【図9】



【図10】



【図11】



【書類名】 要約書

【要約】

【課題】 不揮発性メモリとバッファメモリを内蔵したカード型記憶装置における書き込みデータの転送のオーバーヘッドを少なくして書き込み所要時間を短縮可能にする技術を提供する。

【解決手段】 不揮発性メモリ（110）とバッファメモリ（140）を内蔵したカード型記憶装置において、バッファメモリを複数のバンク（B N K 0～B N K 3）で構成し、ホストC P Uからバッファメモリの各バンクに順にデータを転送し、一杯になったバンクからデータを不揮発性メモリに転送して、不揮発性メモリの一括書き込み単位のデータの転送が終了した時点で書き込みを開始し、データの書き込みが終了するまで待たずに、書き込み中のデータを転送し終わっているバンクへ次のライトデータをホストC P Uから転送するようにした。

【選択図】 図2

認定・付加情報

特許出願の番号	特願2001-276000
受付番号	50101338753
書類名	特許願
担当官	第七担当上席 0096
作成日	平成13年 9月13日

<認定情報・付加情報>

【提出日】 平成13年 9月12日

次頁無

出願人履歴情報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地

氏 名 株式会社日立製作所

出願人履歴情報

識別番号 [000233169]

1. 変更年月日 1998年 4月 3日

[変更理由] 名称変更

住所 東京都小平市上水本町5丁目22番1号
氏名 株式会社日立超エル・エス・アイ・システムズ